

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 4 月 1 日 (01.04.2004)

PCT

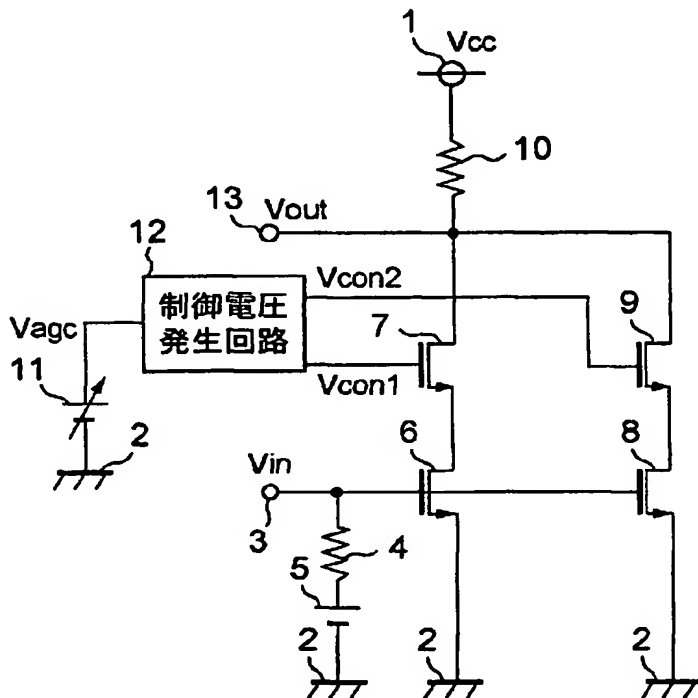
(10) 国際公開番号
WO 2004/027988 A1

- (51) 国際特許分類⁷: H03G 3/10, H03F 1/32 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/011572 (75) 発明者/出願人 (米国についてのみ): 大谷 晃一 (OOYA, Koichi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 佐久間 剛 (SAKUMA, Tsuyoshi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
(22) 国際出願日: 2003 年 9 月 10 日 (10.09.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語 (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
(30) 優先権データ: 特願2002-271707 2002 年 9 月 18 日 (18.09.2002) JP (81) 指定国 (国内): CN, KR, US.
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP). 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: VARIABLE GAIN AMPLIFIER

(54) 発明の名称: 可変利得増幅器



(57) Abstract: A variable gain amplifier can improve distortion characteristic (IIP3) in the gain attenuation without deteriorating the characteristic concerning the gain PG and the noise factor NF at the maximum gain. In the variable gain amplifier, a plurality of dual gate type FET are connected in parallel. Each of the dual gate type FET consists of first FET (6, 8) having a gate to which an input signal is applied and second FET (7, 9) cascade-connected to the first FET (6, 8). The amplifier is configured in such a manner that gate control voltage (Vcon1, Vcon2) can be applied from voltage control means to the second FET (7, 9) of each of the dual gate type FET.

(57) 要約: 利得最大時における利得 PG 並びに雑音指数 NF に係る特性を悪化させることなく、利得減衰時における歪み特性 (IIP3) を改善することができる可変利得増幅器である。可変利得増幅器において、入力信号がゲートに印加される第1の FET (6) (8) と第1の FET (6) (8) にカスケード接続される第2の FET (7) (9) とから成るデュアルゲート型 FET を複数個並列に接続するとともに、それぞれの第2の FET (7) (9) に対して電圧制御手段から別個にゲート制御電圧 (Vcon1, Vcon2) を印加し得るように構成する。

12...CONTROL VOLTAGE GENERATION CIRCUIT

WO 2004/027988 A1



2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明細書

可変利得増幅器

5 技術分野

この発明は、例えばケーブルモデムのチューナ部において使用される可変利得増幅器に係り、特に利得減衰時の歪み特性（IIP3）を改善することができる可変利得増幅器に関する。

10 背景技術

近年、インターネット接続機器のブロードバンド化に対する要望が高まるに依りて、CATV経由でのインターネット接続を可能とする種々のケーブルモデムが提供されるようになってきている。他の電子機器と同様にケーブルモデム機器についても小型化が要望されているが、ケーブル
15 モデム機器を小型化するためには、必然的にケーブルモデム機器に内蔵されるチューナを小型化する必要がある。旧来、このようなチューナはディスクリート部品から構成されていることで小型化には限界があったが、近年では回路の集積化が進んで大幅な小型化が実現できるようになっている。

20 このようなチューナに係るICは、多くの場合ダブルスーパー方式と称する構成を採用している。第8図は、ダブルスーパー方式によるチューナの構成を示すブロック図である。第8図において、101はアンテナ、102はCATV信号を増幅する可変利得増幅器、103は制御電圧に応じた周波数で局部発振する第1の電圧制御発振器、104は可変
25 利得増幅器102から出力されるCATV信号と電圧制御発振器103からの出力信号とを乗算処理することで周波数変換を実施して両信号の

周波数の差に相当する周波数を有する第 1 の中間周波信号を出力する第 1 の周波数混合器、105 は所定の帯域の信号のみを通過させることにより所望のチャンネルの中間周波信号を取り出すことで選局動作を実施する帯域通過フィルタ、106 は制御電圧に応じた周波数で局部発振する第 2 の電圧制御発振器、107 は帯域通過フィルタ 105 から出力される第 1 の中間周波信号と電圧制御発振器 106 からの出力信号とを乗算処理することで周波数変換を実施して両信号の周波数の差に相当する周波数を有する第 2 の中間周波信号を出力する第 2 の周波数混合器、108 は周波数混合器 107 から出力される第 2 の中間周波信号を増幅してチューナ出力信号として出力する中間周波信号増幅器である。

次に、上記チューナに係る動作並びに特性について簡単に説明する。

アンテナ 101 から入力した例えば 100 MHz の周波数を有する CATV 信号は、可変利得増幅器 102 で増幅されて、周波数混合器 104 へ送られる。周波数混合器 104 は、CATV 信号と、電圧制御発振器 103 から出力される例えば 1300 MHz の周波数を有する局部発振信号とを入力して、周波数変換を実施して 1200 MHz の第 1 の中間周波信号を出力する。帯域通過フィルタ 105 は、1200 MHz 近傍の周波数の信号を通過させることで、所望のチャンネルに係る第 1 の中間周波信号を取り出す。周波数混合器 107 は、1200 MHz の第 1 の中間周波信号と、電圧制御発振器 106 から出力される例えば 1156 MHz の周波数を有する局部発振信号とを入力して、周波数変換を実施して 44 MHz の第 2 の中間周波信号を出力する。中間周波信号増幅器 108 は、入力する第 2 の中間周波信号を増幅して、チューナ出力信号として出力する。なお、CATV 信号、第 1 の中間周波信号、第 2 の中間周波信号等に係る上記の周波数は、それぞれ CATV システムのチューナにおいて実際にとり得る周波数の一例として与えるものである。

上記のような周波数変換を実行するチューナでは、入力信号レベルは $-70 \sim -30$ dBm である。また、最大で 130 波の信号が入力されるために、初段の可変利得増幅器 102 については、利得で 10 dB、雑音指数で 6 dB、最大減衰量で 40 dB、利得最大時の 3 次 Input Intercept Point (以下、IIP3 と称する) で +15 dBm、利得減衰時 (-15 dB) の IIP3 で +30 dBm 程度の特徴が必要となる。すなわち、利得が小さくなるほど歪みについて厳しい要件が課されることになる。

このような要件を課される可変利得増幅器は、バイポーラトランジスタやデュアルゲート型電界効果トランジスタ (以下、デュアルゲート型 FET (Field Effect Transistor) と称する) から構成される。ここでは、デュアルゲート型 FET を例にとり、その動作を説明する。第 9 図は、デュアルゲート型 FET を用いた可変利得増幅器の構成を示す回路図である。第 9 図において、111 は第 1 の FET、112 は第 1 の FET にカスケード接続される第 2 の FET、113 は電圧源、114 は接地部、115 は信号入力端子、116 は FET 111 のゲート G1 に接続されて入力信号に対して適切なバイアス電圧を印加するために設けられる抵抗、117 は同じく適切なバイアス電圧を印加するために設けられる電圧源、118 は FET 112 のゲート G2 に接続される可変電圧源、119 は出力信号を取り出すための負荷抵抗、120 は信号出力端子である。なお、電圧源 117 については、例えば電圧源 113 の電源電圧を抵抗分割すること等により生成することが可能である。

上記のような構成を有するデュアルゲート型 FET では、入力信号を FET 111 のゲート G1 に印加して、出力信号を FET 112 のドレインから取り出す。この際、FET 112 のゲート G2 に印加する電圧を変化させることで、利得制御を実施する。例えば、FET 112 のゲ

ート電圧を下げると、F E T 1 1 2 のソース電圧が下がり、F E T 1 1 1 のドレイン-ソース間電圧 V_{ds} が小さくなる。ドレイン-ソース間電圧 V_{ds} が小さくなるほど、F E T 1 1 1 の相互コンダクタンス g_m が小さくなり、この結果利得が低下する。逆に、F E T 1 1 2 のゲート電圧を上げると、利得が増加する。なお、利得制御用の F E T 1 1 2 に代えて、N P N トランジスタを用いても、可変利得増幅器として同様に動作させることが可能である。また、上記のようにデュアルゲート型 F E T を用いて可変利得増幅器を構成する技術については、例えば特開 2 0 0 2 - 1 7 6 3 7 1 号公報（段落 0 0 1 0、第 1 図）において記載が

10 為されている。

ここで、第 9 図に示されたデュアルゲート型 F E T から成る可変利得増幅器について、利得、雑音等に係る特性に関して説明する。第 1 0 図は、集積回路（I C）上に形成された F E T の概略構成を示す平面図である。第 1 0 図において、 L_g はゲート長を示し、 W_g はゲート幅を示す。第 1 1 図は、ゲート幅と利得および雑音指数との関係を示すグラフである。第 1 1 図において、 P_G は利得を示し、 N_F は雑音指数を示す。第 1 2 図は、利得減衰量と $I I P_3$ との関係を示すグラフである。第 1 2 図において、利得減衰量と $I I P_3$ との関係は、ゲート幅をパラメータとしてそれぞれ別個に示される。第 1 1 図および第 1 2 図から分かるように、ゲート幅 W_g が大きくなるほど、利得 P_G が増加するとともに雑音指数 N_F が低下することで雑音特性は向上するが、 $I I P_3$ として与えられる歪み特性は悪化する。すなわち、利得最大時における P_G 並びに N_F に係る特性に対する要件を充足させるためには、 $W_g = 20$

20

（ μm ）の F E T を使用する必要があるが、この場合利得減衰時における $I I P_3$ に係る特性に対する要件を充足させることができない。また、利得減衰時における $I I P_3$ に係る特性に対する要件を充足させるため

25

には、 $Wg = 5$ (μm) の FET を使用する必要があるが、この場合 P
G 並びに NF に係る特性が悪化する。このように、PG および NF に係
る特性向上と IIP3 に係る特性向上とはトレード・オフの関係にあり、
PG および NF に係る特性に対する要件と IIP3 に係る特性に対する
5 要件とを共に充足する可変利得増幅器を得ることが困難であるという課
題があった。

この発明は上記のような課題を解決するためになされたもので、利得
最大時の利得 PG 並びに雑音指数 NF に係る特性を悪化させることなく、
利得減衰時の歪み特性 IIP3 を改善することができる可変利得増幅器
10 を得ることを目的とする。

発明の開示

この発明に係る可変利得増幅器は、それぞれが入力信号がゲートに印
加される第 1 の FET と第 1 の FET のドレインにソースが接続される
15 第 2 の FET とから成り、互いに第 1 の FET のソースが共通に接続さ
れるとともに第 2 の FET のドレインが共通に接続される複数のデュア
ルゲート型 FET と、それぞれの第 2 の FET のゲートに接続されて互
いに別個にゲート電圧を印加し得る複数の電圧制御手段とを有して構成
されるようにしたものである。

20 この発明に係る可変利得増幅器は、それぞれが入力信号がゲートに印
加される FET と FET のドレインにエミッタが接続されるバイポーラ
トランジスタとから成り、互いに FET のソースが共通に接続されると
ともにバイポーラトランジスタのコレクタが共通に接続される複数の可
変利得増幅素子と、それぞれのバイポーラトランジスタのベースに接続
25 されて互いに別個にベース電圧を印加し得る複数の電圧制御手段とを有
して構成されるようにしたものである。

この発明に係る可変利得増幅器は、入力信号が印加されるそれぞれの F E T の電気的特性が略同一であるようにしたものである。

この発明に係る可変利得増幅器は、入力信号が印加される少なくとも 1 つの F E T の電気的特性が入力信号が印加される他の 1 または複数の F E T の電気的特性と異なるようにしたものである。

この発明に係る可変利得増幅器は、信号入力部と信号出力部とを接続する電圧帰還路を有するようにしたものである。

この発明に係る可変利得増幅器は、それぞれが入力信号がゲートに印加される第 1 の F E T と第 1 の F E T のドレインにソースが接続される第 2 の F E T とから成り、互いに第 1 の F E T のソースが共通に接続されるとともに第 2 の F E T のドレインが共通に接続される複数の第 1 のデュアルゲート型 F E T と、それぞれが反転入力信号がゲートに印加される第 3 の F E T と第 3 の F E T のドレインにソースが接続される第 4 の F E T とから成り、互いに第 3 の F E T のソースが共通に接続されるとともに第 4 の F E T のドレインが共通に接続される複数の第 2 のデュアルゲート型 F E T と、それぞれ対応する第 2 の F E T のゲートおよび第 4 の F E T のゲートに接続されて互いに別個にゲート電圧を印加し得る複数の電圧制御手段とを有して構成され、第 1 のデュアルゲート型 F E T の個数と、第 2 のデュアルゲート型 F E T の個数と、電圧制御手段の個数とが等しいようにしたものである。

図面の簡単な説明

第 1 図は、この発明の実施の形態 1 による可変利得増幅器の構成を示す回路図である。

第 2 図は、ゲート制御電圧の制御方式の一例を示す図である。

第 3 図は、絶対利得と I I P 3 との関係を示す図である。

第4図は、ゲート制御電圧の制御方式の他の例を示す図である。

第5図は、この発明の実施の形態1の変形例による可変利得増幅器の構成を示す回路図である。

第6図は、この発明の実施の形態2による可変利得増幅器の構成を示す回路図である。

第7図は、この発明の実施の形態3による可変利得増幅器の構成を示す回路図である。

第8図は、ダブルスーパー方式によるチューナの構成を示すブロック図である。

第9図は、デュアルゲート型FETを用いた可変利得増幅器の構成を示す回路図である。

第10図は、集積回路上に形成されたFETの概略構成を示す平面図である。

第11図は、ゲート幅と利得および雑音指数との関係を示す図である。

第12図は、利得減衰量とIIP3との関係を示す図である。

発明の実施するための最良の形態

以下、添付の図面を参照して本発明に係る実施の形態について説明する。なお、本発明の実施の形態に記載された実施例を構成する各要素と、請求の範囲に記載された発明を構成する各要素との対応関係を明らかにするために、本発明の実施の形態に係る以下の説明文中において、実施例の各要素に対応する請求の範囲に記載された発明の各要素を、それぞれ実施例の各要素に続けて適宜かっこ書きにより示すものとする。

実施の形態1.

第1図は、この発明の実施の形態1による可変利得増幅器の構成を示す回路図である。第1図において、1は電圧源、2は接地部、3は信号

入力端子（信号入力部）、4は信号入力端子3に接続されて入力信号に対して適切なバイアス電圧を印加するために設けられる抵抗、5は同じく適切なバイアス電圧を印加するために設けられる電圧源、6はゲートが信号入力端子3に接続されソースが接地部2に接続されるFET（第1のFET）、7はソースがFET6のドレインに接続されるFET（第2のFET）、8はゲートが信号入力端子3に接続されソースが接地部2に接続されるFET（第1のFET）、9はソースがFET8のドレインに接続されるFET（第2のFET）、10は出力信号を取り出すために一方の端部がFET7のドレインとFET9のドレインとに共通に接続されるとともに他方の端部が電圧源1に接続される負荷抵抗、11は可変電圧源、12はFET7のゲート、FET9のゲートおよび可変電圧源11に接続されてFET7のゲートに印加する電圧とFET9のゲートに印加する電圧とをそれぞれ独立に制御することを可能とする制御電圧発生回路、13はFET7のドレインおよびFET9のドレインに接続される信号出力端子（信号出力部）である。ここで、可変電圧源11と制御電圧発生回路12とによりFET7のゲートに印加する電圧を制御する第1の電圧制御手段が構成され、また同じく可変電圧源11と制御電圧発生回路12とによりFET9のゲートに印加する電圧を第1の電圧制御手段とは独立に制御する第2の電圧制御手段が構成される。なお、この実施の形態においては、FET6のゲート幅とFET8のゲート幅とは、共に等しく10（ μm ）とする。

次に、動作について説明する。

ここで、可変電圧源11の電圧を V_{agc} 、FET7のゲートに印加するゲート制御電圧を V_{con1} 、FET9のゲートに印加するゲート制御電圧を V_{con2} とする。まず、第1図に示される可変利得増幅器について、ゲート制御電圧 V_{con1} とゲート制御電圧 V_{con2} とを

同じ電圧として利得制御する場合について考察する。同じ電気的特性を有するFETを並列に接続すると、全体としてゲート幅を2倍にしたFETと同等の電気的特性を有することから、上記のように同じ電圧で制御する場合には、IIP3特性については、第12図に示される $Wg = 20$ (μm)に係る曲線に示されるような特性を得ることになる。また、PG特性およびNF特性についても、全体として $Wg = 20$ (μm)として与えられる特性と略同一の特性を得ることになる。すなわち、 $PG = 10$ dB、 $NF = 6$ dB、 $IIP3 = 19$ dBm (利得最大時)、 $IIP3 = 25$ dBm (利得15 dB減衰時)となる。

- 次に、ゲート制御電圧 V_{con1} とゲート制御電圧 V_{con2} とを独立に(別個に)制御して利得制御する場合について考察する。第2図は、ゲート制御電圧の制御方式の一例を示す図である。また、第3図は絶対利得とIIP3との関係を示すグラフである。なお、第3図は、IIP3特性について横軸の変数を利得減衰量から絶対利得に代えることで、第12図に示されるグラフを変形することで与えられる。第2図に示されるようにゲート制御電圧 V_{con1} およびゲート制御電圧 V_{con2} を制御すると、利得最大時にはFET7とFET9とには共に最大のゲート電圧が印加されるので、 $Wg = 20$ (μm)として与えられる特性と略同一の特性を全体として得ることができ、 $PG = 10$ dB、 $NF = 6$ dB、 $IIP3 = 19$ dBmとなる。また、15 dB利得減衰時には $V_{con2} = 0$ 、すなわちFET9に印加されるゲート電圧がゼロとなってFET8およびFET9から成るデュアルゲート型FETはOFF状態となる。これにより、IIP3特性については、第3図において、 $Wg = 10$ (μm)として与えられる曲線の絶対利得 -5 dBに対応するIIP3値である31 dBmを得ることができる。すなわち、利得最大時におけるPG特性並びにNF特性については $Wg = 20$ (μ

m) として与えられる特性を得ることができるとともに、利得減衰時における I I P 3 特性については $W_g = 10 (\mu m)$ として与えられる特性を得ることができる。

以上のように、この実施の形態 1 によれば、入力信号が印加される F E T 6 と F E T 6 にカスケード接続される F E T 7 とから成るデュアルゲート型 F E T と、入力信号が印加される F E T 8 と F E T 8 にカスケード接続される F E T 9 とから成るデュアルゲート型 F E T と、 F E T 7 のゲートに印加するゲート制御電圧 V_{con1} を制御する第 1 の電圧制御手段と、 F E T 9 のゲートに印加するゲート制御電圧 V_{con2} を第 1 の電圧制御手段と独立に制御する第 2 の電圧制御手段とを有して構成され、 F E T 6 のソースと F E T 8 のソースとを共通に接続するとともに、 F E T 7 のドレインと F E T 9 のドレインとを共通に接続して出力信号を取り出すようにしたので、第 1 の電圧制御手段および第 2 の電圧制御手段によりゲート制御電圧 V_{con1} およびゲート制御電圧 V_{con2} を適宜制御することで、利得最大時における P G 特性並びに N F 特性に対する要件を充足するとともに利得減衰時における I P P 3 特性に対する要件を充足することができるという効果を奏する。

なお、上記実施の形態 1 では、並列に接続するデュアルゲート型 F E T の個数を 2 としているが、 3 以上のデュアルゲート型 F E T を並列に接続することで全体として可変利得増幅器を成す構成を採ることも可能である。この場合、それぞれのデュアルゲート型 F E T において、上記の F E T 7 および F E T 9 と同様に第 2 の F E T として与えられる F E T のそれぞれのゲートに接続される電圧制御手段を別個に制御して適切な組み合わせのゲート制御電圧を印加することにより、可変利得増幅器の特性をより改善することが可能となる。

また、上記実施の形態1では、第2図に示されるように、ゲート制御電圧 V_{con1} の電圧変化範囲とゲート制御電圧 V_{con2} の電圧変化範囲とを離隔するようにそれぞれのゲート制御電圧を制御している。すなわち、ゲート制御電圧 V_{con1} が最大値となった後にゲート制御電圧 V_{con2} を増加させるか、あるいはゲート制御電圧 V_{con2} がゼロとなった後にゲート制御電圧 V_{con1} を減少させるといった制御方式が採られている。然るに、本発明による可変利得増幅器に係るゲート電圧制御方式は上記のような方式に限定されるものではなく、ゲート制御電圧 V_{con1} の電圧変化範囲とゲート制御電圧 V_{con2} の電圧変化範囲とが重なるようにそれぞれのゲート制御電圧を制御するようにしてもよい。第4図は、ゲート制御電圧の制御方式の他の例を示す図である。第4図に示されるようにゲート制御電圧 V_{con1} の変化とゲート制御電圧 V_{con2} の変化との間にある程度の遅延を持たせれば、実施の形態1と同様に、利得最大時の利得 PG 並びに雑音指数 NF に係る特性を悪化させることなく、利得減衰時の歪み特性 $IIP3$ を改善できるという効果を奏し得るものである。さらに、上記のように電圧変化範囲に重なりがある場合には、可変電圧源11の電圧値 V_{agc} と利得減衰量との間にある程度の線形的な関係を持たせることができ利得制御を容易にするとともに、約2dB利得減衰時における $IIP3$ の劣化を緩和できる等の効果を奏する。

また、上記実施の形態1では、FET6とFET8とについて、ゲート長やゲート幅等を同一にすることで同じ電気的特性を有するものとしているが、FET6とFET8とが異なる電気的特性を有する構成を採ることも可能である。例えば、ゲート長 L_g およびゲート幅 W_g を適宜変更して、FET6とFET8とを異なる形状とすることにより、利得減衰時における $IIP3$ をより改善することも可能である。さらに、上

記実施の形態 1 では、ゲート制御電圧 V_{con1} を制御する第 1 の電圧制御手段とゲート制御電圧 V_{con2} を制御する第 2 の電圧制御手段とを独立に動作可能とする構成としているが、上記の作用効果を奏する範囲内において電圧制御手段間にある程度の従属性を持たせることも可能である。このように電圧制御手段間に従属性を持たせれば、制御パラメータを減らすことができ、全体の構成を簡略化することも可能となる。

次に、この実施の形態 1 の変形例について説明する。

第 5 図は、この発明の実施の形態 1 の変形例による可変利得増幅器の構成を示す回路図である。第 5 図において、第 1 図と同一符号は同一または相当部分を示すので、その説明を省略する。21 は FET 6 のドレインにエミッタが接続される NPN トランジスタ（バイポーラトランジスタ）、22 は FET 8 のドレインにエミッタが接続される NPN トランジスタ（バイポーラトランジスタ）、23 は NPN トランジスタ 21 のベースに接続されて当該ベースに印加する電圧 V_{con1} を制御する可変電圧源（電圧制御手段）、24 は NPN トランジスタ 22 のベースに接続されて当該ベースに印加する電圧 V_{con2} を制御する可変電圧源（電圧制御手段）である。なお、第 1 図に示される可変利得増幅器と同様に、NPN トランジスタ 21 のコレクタと NPN トランジスタ 22 のコレクタとは共通に接続される。また、カスケード接続される FET 6 と NPN トランジスタ 21、並びに同様にカスケード接続される FET 8 と NPN トランジスタ 22 とから、それぞれ請求の範囲に記載された可変利得増幅素子が構成されるものとする。この可変利得増幅素子は、第 1 図に示された可変利得増幅器におけるデュアルゲート型 FET に相当するものである。なお、第 5 図に示される可変利得増幅器の回路動作については、第 1 図に示された可変利得増幅器と同様であるので、その説明を省略する。このように、入力信号が印加される FET にバイポー

ラトランジスタをカスケード接続することで、FETのドレインからみたインピーダンスが小さくなり、交流信号によって生じるFETのドレインソース間電圧 V_{ds} の変動が小さくなるから、出力信号に係る歪み特性を改善することができるという効果を奏する。

5 実施の形態 2.

第6図は、この発明の実施の形態2による可変利得増幅器の構成を示す回路図である。第6図において、第1図と同一符号は同一または相当部分を示すので、その説明を省略する。31はFET7のゲートに接続されて当該ゲートに印加する電圧 V_{con1} を制御する可変電圧源（電圧制御手段）、32はFET9のゲートに接続されて当該ゲートに印加する電圧 V_{con2} を制御する可変電圧源（電圧制御手段）、33は信号出力端子13と信号入力端子3との間に介装される抵抗、34は信号入力端子3と接地部2との間に介装される抵抗である。このように、信号出力端子13と信号入力端子3とを抵抗33を介して接続して電圧帰還路を設けることにより、電圧帰還型のゲートバイアスを掛けることができるので、FET間の製造バラツキに起因するドレイン電流の変動を抑制して回路動作を安定化させることができるという効果を奏する。

15 実施の形態 3.

第7図は、この発明の実施の形態3による可変利得増幅器の構成を示す回路図である。第7図において、41は電圧源、42は接地部、43は第1の信号入力端子、44は信号入力端子43に入力される信号の反転信号が入力される第2の信号入力端子、45は信号入力端子43に接続されて入力信号に対して適切なバイアス電圧を印加するために設けられる抵抗、46は信号入力端子44に接続されて反転入力信号に対して適切なバイアス電圧を印加するために設けられる抵抗、47は抵抗45および抵抗46に接続されて同じく適切なバイアス電圧を印加するため

に設けられる電圧源、48はゲートが信号入力端子43に接続されソースが接地部42に接続されるFET（第1のFET）、49はソースがFET48のドレインに接続されるFET（第2のFET）、50はゲートが信号入力端子43に接続されソースが接地部42に接続されるFET（第1のFET）、51はソースがFET50のドレインに接続されるFET（第2のFET）、52は出力信号を取り出すために一方の端部がFET49のドレインとFET51のドレインとに共通に接続されるとともに他方の端部が電圧源41に接続される負荷抵抗、53はFET49のドレインおよびFET51のドレインに接続される信号出力端子、54はゲートが信号入力端子44に接続されソースが接地部42に接続されるFET（第3のFET）、55はソースがFET54のドレインに接続されるFET（第4のFET）、56はゲートが信号入力端子44に接続されソースが接地部42に接続されるFET（第3のFET）、57はソースがFET56のドレインに接続されるFET（第4のFET）、58は反転出力信号を取り出すために一方の端部がFET55のドレインとFET57のドレインとに共通に接続されるとともに他方の端部が電圧源41に接続される負荷抵抗、59はFET55のドレインおよびFET57のドレインに接続される信号出力端子、60はFET49のゲートおよびFET55のゲートに接続されてこれらゲートに印加する電圧 V_{con1} を制御する第1の可変電圧源（電圧制御手段）、61はFET51のゲートおよびFET57のゲートに接続されてこれらゲートに印加する電圧 V_{con2} を制御する第2の可変電圧源（電圧制御手段）である。

ここで、例えばFET48として与えられる第1のFETと、FET48にカスケード接続されるFET49として与えられる第2のFETとから入力信号を増幅するための可変利得増幅素子として与えられる第

1 のデュアルゲート型 F E T が構成される。また、例えば F E T 5 4 と
して与えられる第 3 の F E T と、F E T 5 4 にカスケード接続される F
E T 5 5 として与えられる第 4 の F E T とから反転入力信号を増幅する
ための可変利得増幅素子として与えられる第 2 のデュアルゲート型 F E
5 T が構成される。第 7 図の回路図から明らかなように、入出力信号の平
衡性を担保するために、第 1 のデュアルゲート型 F E T の個数と、第 2
のデュアルゲート型 F E T の個数とは同数となる。さらに、可変電圧源
6 0, 6 1 として与えられる電圧制御手段は第 1 および第 2 のデュアル
ゲート型 F E T と同数だけ設けられ、それぞれの電圧制御手段は例えば
10 F E T 4 9 と F E T 5 5 とのように対応付けられる第 2 の F E T と第 4
の F E T とに同一のゲート制御電圧を印加する。さらに、入出力信号の
平衡性を担保するためには、ゲートに入力信号が印加される F E T 4 8、
F E T 5 0、F E T 5 4 および F E T 5 6 が略同一の電気的特性を有す
るとともに、ゲートに制御電圧が印加される F E T 4 9、F E T 5 1、
15 F E T 5 5 および F E T 5 7 も略同一の電気的特性を有するように構成
するのが好適である。

上記のように構成することで、F E T 4 8, 4 9, 5 0, 5 1、可変
電圧源 6 0, 6 1 等から構成される入力信号に対する可変利得増幅器と、
F E T 5 4, 5 5, 5 6, 5 7、可変電圧源 6 0, 6 1 等から構成され
20 る反転入力信号に対する可変利得増幅器とについて、利得制御範囲にわ
たって同一の利得を得ることができるので、平衡型の信号入出力が可能
となり、2 次歪みを改善することができるとともに、同相雑音をキャン
セルすることができるという効果を奏する。

なお、上記の実施の形態 1 から実施の形態 3 により説明される可変利
25 得増幅器は、本発明を限定するものではなく、例示することを意図して
開示されているものである。本発明の技術的範囲は請求の範囲の記載に

より定められるものであり、請求の範囲に記載された技術的範囲内において種々の設計の変更が可能である。例えば、上記の実施の形態においてはFETとしてNMOSトランジスタを用いているが、FETとしてPMOSトランジスタを用いることも勿論可能であり、同様の効果を奏するものである。

5 以上のように、この発明によれば、入力信号がゲートに印加される第1のFETと第1のFETにカスケード接続された第2のFETとから成るデュアルゲート型FETを複数個並列に接続するとともに、それぞれの第2のFETに対して対応する電圧制御手段から別個に電圧を印加し得るように構成したので、それぞれの電圧制御手段により印加されるゲート制御電圧を適宜制御することで、利得最大時の利得並びに雑音指数に係る特性を悪化させることなく、利得減衰時の歪み特性IIP3を改善することができるという効果を奏する。

15 この発明によれば、入力信号がゲートに印加されるFETと当該FETにカスケード接続されたバイポーラトランジスタとから成る可変利得増幅素子を複数個並列に接続するとともに、それぞれのバイポーラトランジスタに対して対応する電圧制御手段から別個に電圧を印加し得るように構成したので、それぞれの電圧制御手段により印加されるベース制御電圧を適宜制御することで、利得最大時の利得並びに雑音指数に係る特性を悪化させることなく、利得減衰時の歪み特性IIP3を改善することができるという効果を奏する。また、入力信号が印加されるFETにバイポーラトランジスタをカスケード接続することで、FETのドレインから見たインピーダンスが小さくなり、交流信号によって生じるFETのドレイン-ソース間電圧の変動が小さくなるから、出力信号に係る歪み特性を改善することができるという効果を奏する。

この発明によれば、入力信号が印加されるそれぞれのFETの電氣的特性が略同一となるように構成したので、電圧制御手段から出力される電圧の変化に対するそれぞれのデュアルゲート型FETのPG、NF、IIP3等に係る特性の変化も同一となり、それぞれの電圧制御手段から出力される制御電圧の種々の組み合わせに対する回路特性の同定を簡易に為し得るから、可変利得制御を容易に実施することができるという効果を奏する。

この発明によれば、入力信号が印加される少なくとも1つのFETの電氣的特性が入力信号が印加される他の1または複数のFETの電氣的特性と異なるように構成したので、利得減衰時における歪み特性IIP3をより改善し得るという効果を奏する。

この発明によれば、信号入力部と信号出力部とを接続する電圧帰還路を有するように構成したので、FET間の製造バラツキに起因するドレイン電流の変動を抑制して回路動作を安定化させることができるという効果を奏する。

この発明によれば、入力信号がゲートに印加される第1のFETと第1のFETにカスケード接続された第2のFETとから成る第1のデュアルゲート型FETを複数個並列に接続し、反転入力信号がゲートに印加される第3のFETと第3のFETにカスケード接続された第4のFETとから成る第2のデュアルゲート型FETを第1のデュアルゲート型FETと同数である複数個並列に接続し、対応付けられる第2のFETのゲートおよび第4のゲートに対してそれぞれの電圧制御手段から別個に電圧を印加し得るように構成したので、複数の第1のデュアルゲート型FETから構成される入力信号に対する可変利得増幅器と、複数の第2のデュアルゲート型FETから構成される反転入力信号に対する可変利得増幅器とについて、利得制御範囲にわたって同一の利得を得るこ

とができるので、平衡型の信号入出力が可能となり、2次歪みを改善することができるとともに、同相雑音をキャンセルすることができるという効果を奏する。

請求の範囲

1. それぞれが入力信号がゲートに印加される第1のFETと該第1のFETのドレインにソースが接続される第2のFETとから成り、互いに前記第1のFETのソースが共通に接続されるとともに前記第2のFETのドレインが共通に接続される複数のデュアルゲート型FETと、
5 それぞれの前記第2のFETのゲートに接続されて互いに別個にゲート電圧を印加し得る複数の電圧制御手段とを有して構成されることを特徴とする可変利得増幅器。
- 10 2. それぞれが入力信号がゲートに印加されるFETと該FETのドレインにエミッタが接続されるバイポーラトランジスタとから成り、互いに前記FETのソースが共通に接続されるとともに前記バイポーラトランジスタのコレクタが共通に接続される複数の可変利得増幅素子と、
15 それぞれの前記バイポーラトランジスタのベースに接続されて互いに別個にベース電圧を印加し得る複数の電圧制御手段とを有して構成されることを特徴とする可変利得増幅器。
3. 入力信号が印加されるそれぞれのFETの電気的特性が略同一であることを特徴とする請求の範囲第1項または第2項に記載の可変利得増幅器。
- 20 4. 入力信号が印加される少なくとも1つのFETの電気的特性が入力信号が印加される他の1または複数のFETの電気的特性と異なることを特徴とする請求の範囲第1項または第2項に記載の可変利得増幅器。
5. 信号入力部と信号出力部とを接続する電圧帰還路を有することを特徴とする請求の範囲第1項または第2項に記載の可変利得増幅器。
- 25 6. それぞれが入力信号がゲートに印加される第1のFETと該第1のFETのドレインにソースが接続される第2のFETとから成り、互い

に前記第 1 の F E T のソースが共通に接続されるとともに前記第 2 の F E T のドレインが共通に接続される複数の第 1 のデュアルゲート型 F E T と、

5 それぞれが反転入力信号がゲートに印加される第 3 の F E T と該第 3 の F E T のドレインにソースが接続される第 4 の F E T とから成り、互いに前記第 3 の F E T のソースが共通に接続されるとともに前記第 4 の F E T のドレインが共通に接続される複数の第 2 のデュアルゲート型 F E T と、

10 それぞれ対応する前記第 2 の F E T のゲートおよび前記第 4 の F E T のゲートに接続されて互いに別個にゲート電圧を印加し得る複数の電圧制御手段とを有して構成され、

前記第 1 のデュアルゲート型 F E T の個数と、前記第 2 のデュアルゲート型 F E T の個数と、前記電圧制御手段の個数とが等しいことを特徴とする可変利得増幅器。

1/6

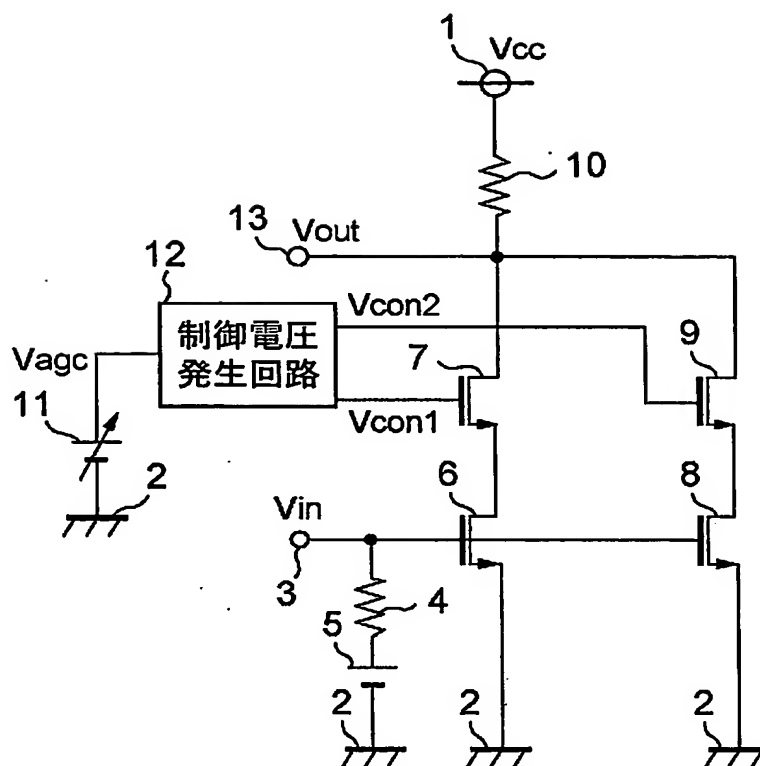


Fig.1

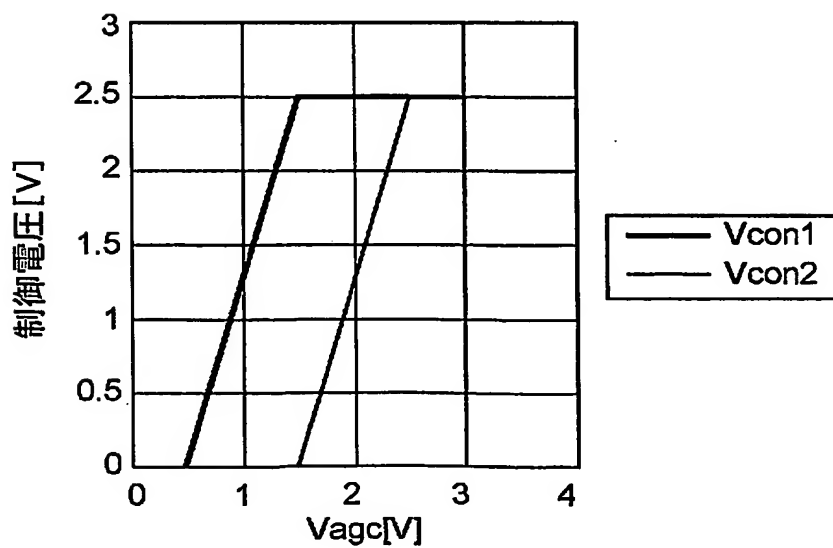


Fig.2

2/6

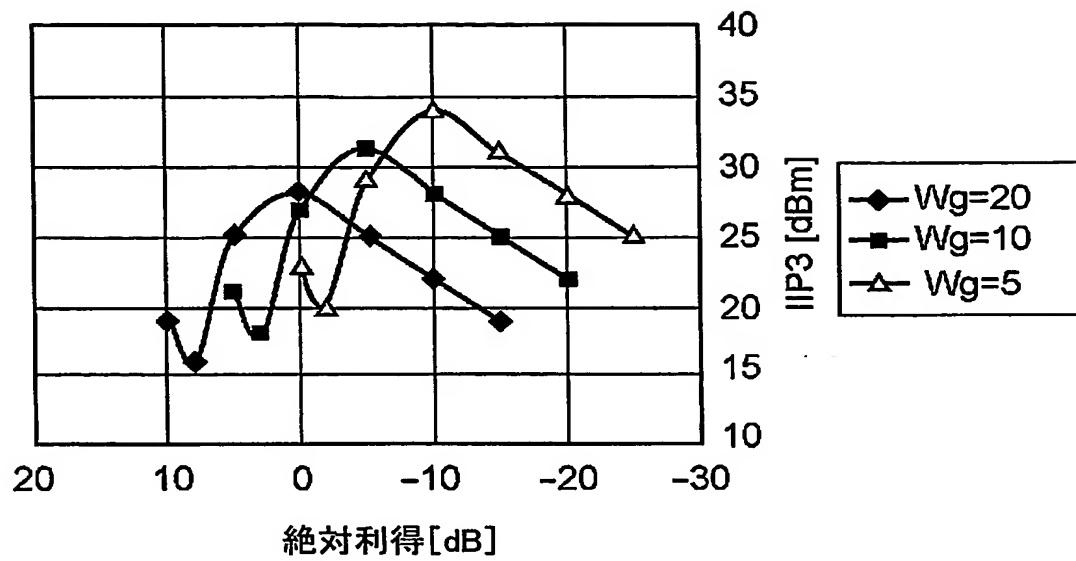


Fig.3

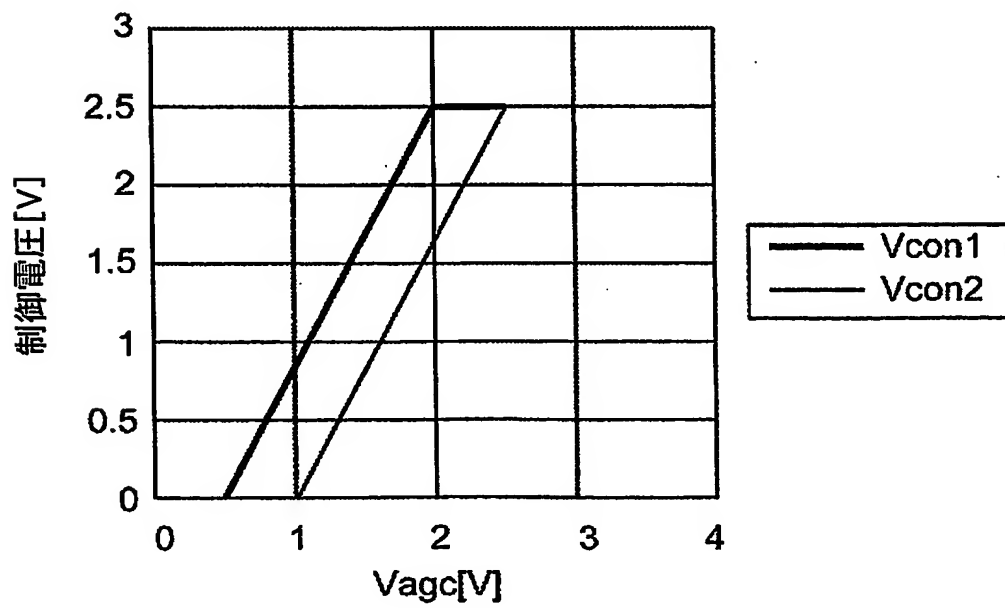


Fig.4

3/6

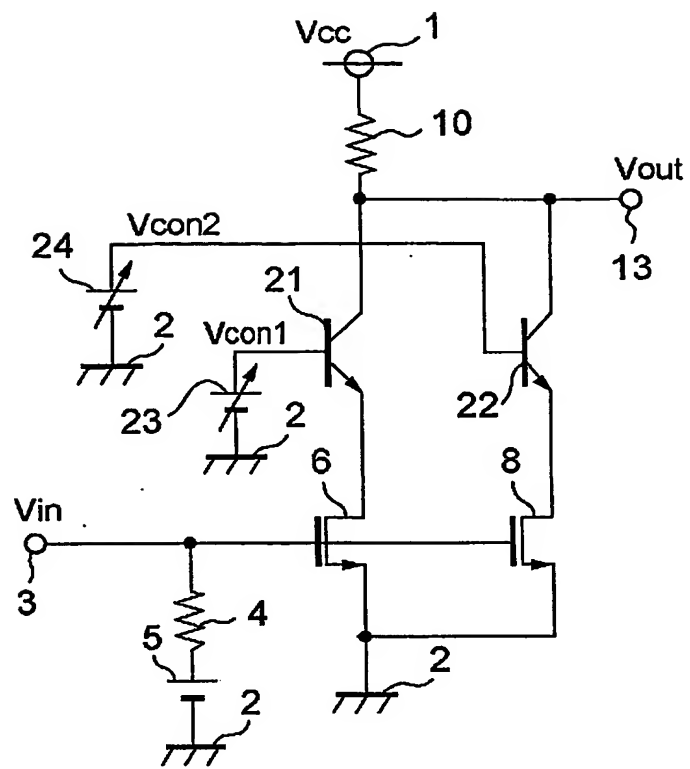


Fig.5

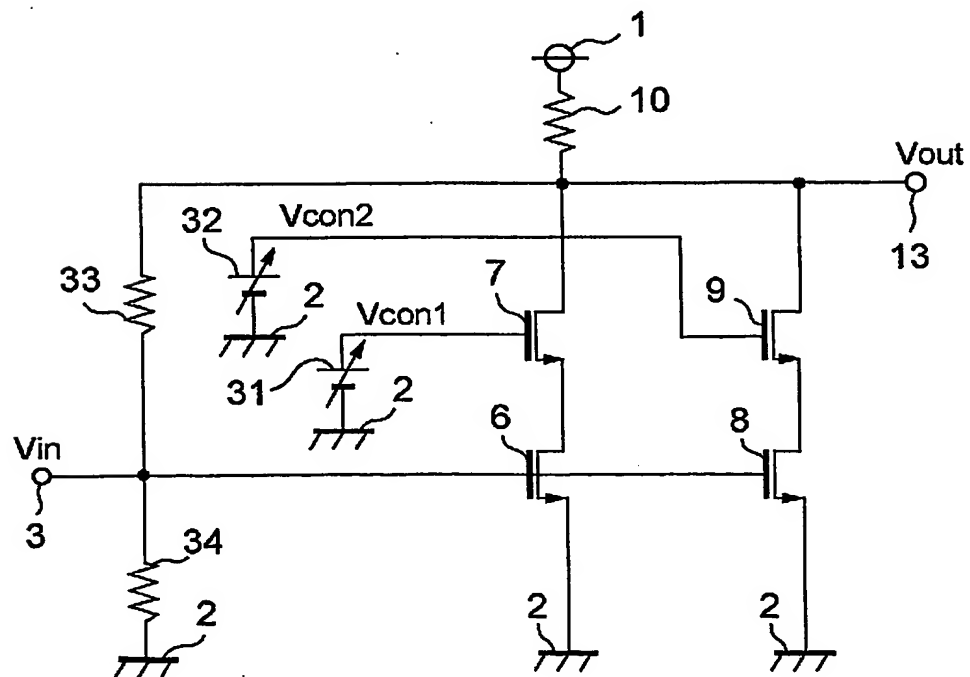


Fig.6

4/6

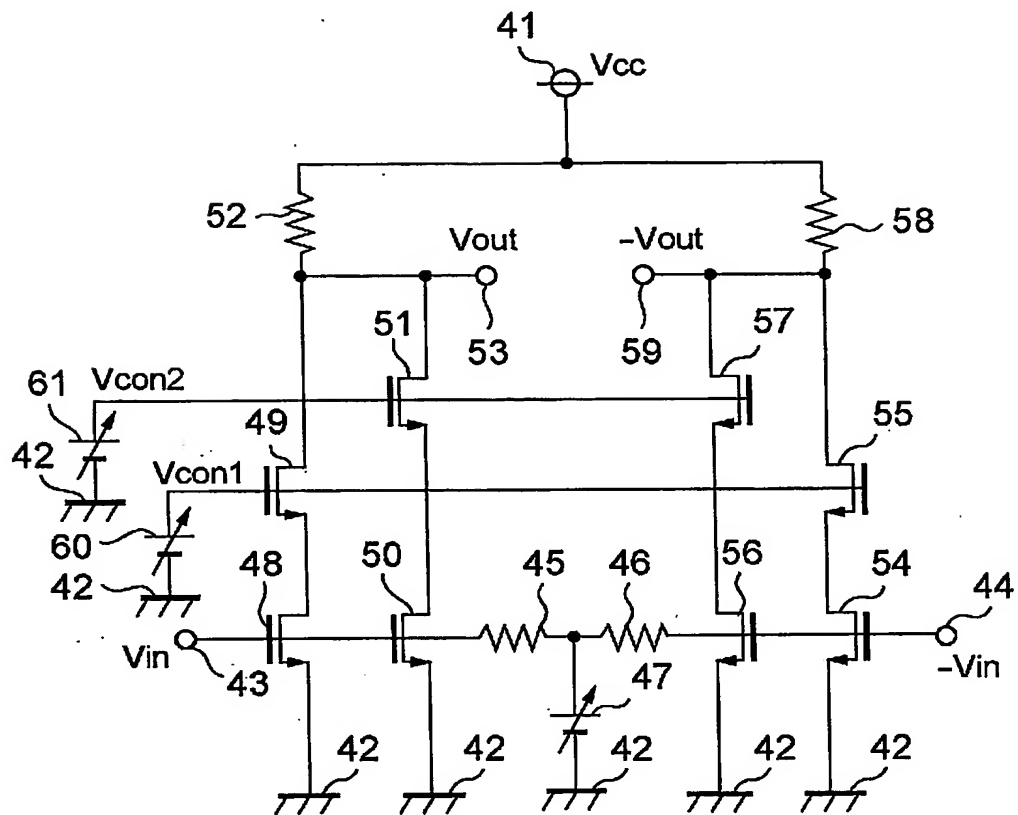


Fig.7

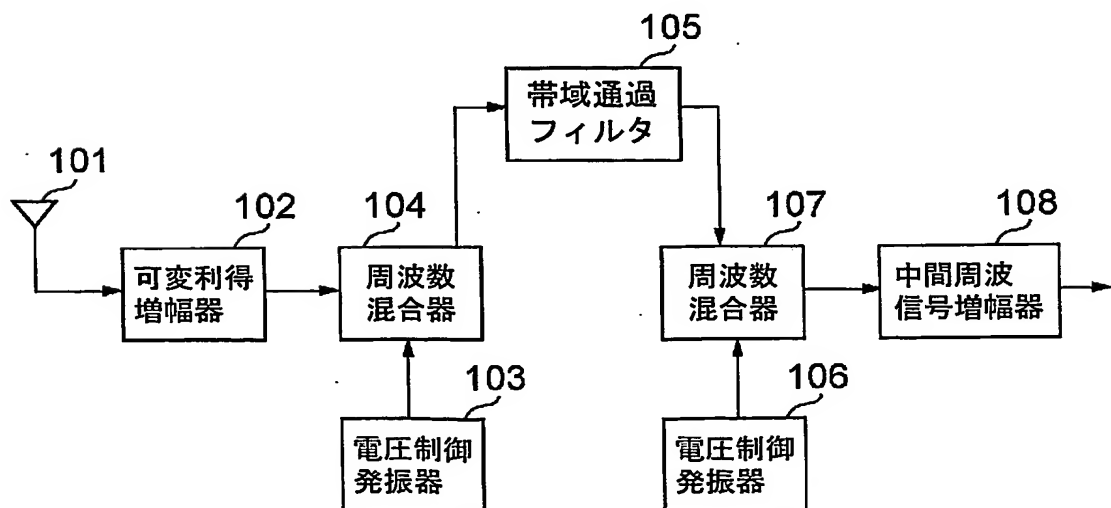


Fig.8

5/6

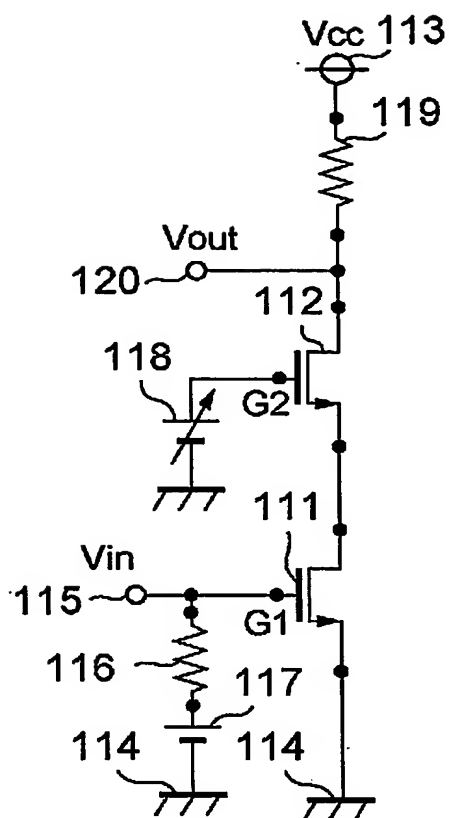


Fig.9

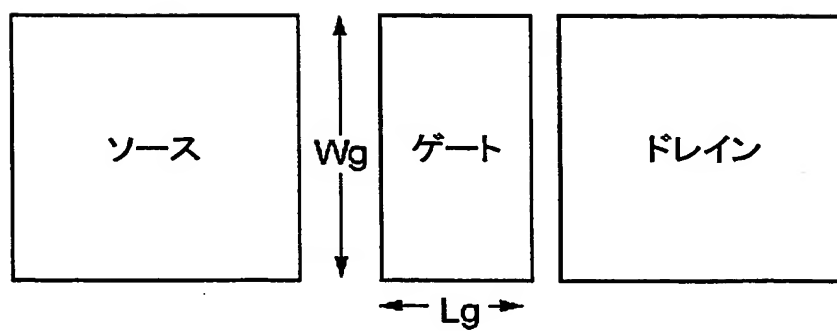


Fig.10

6/6

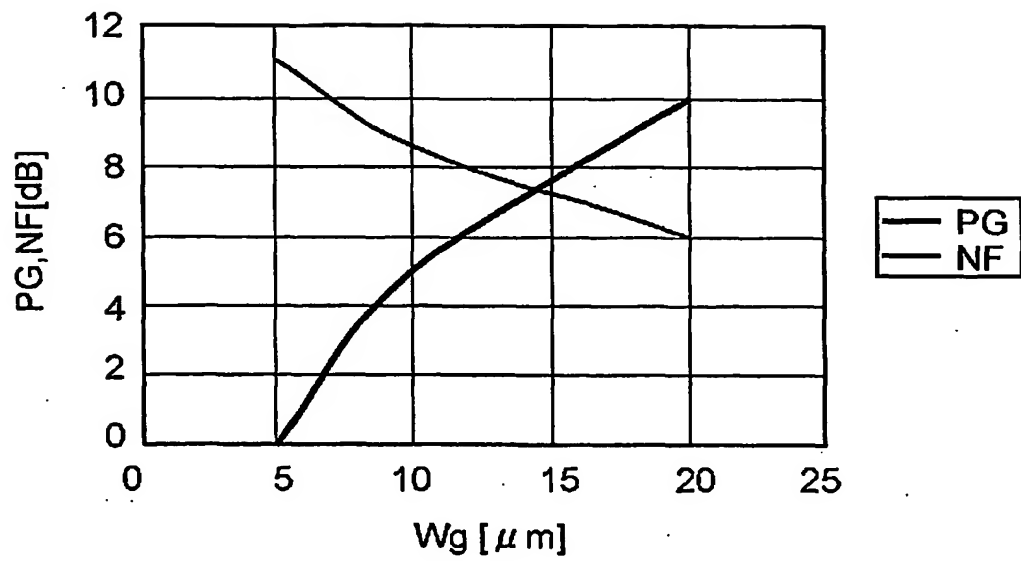


Fig.11

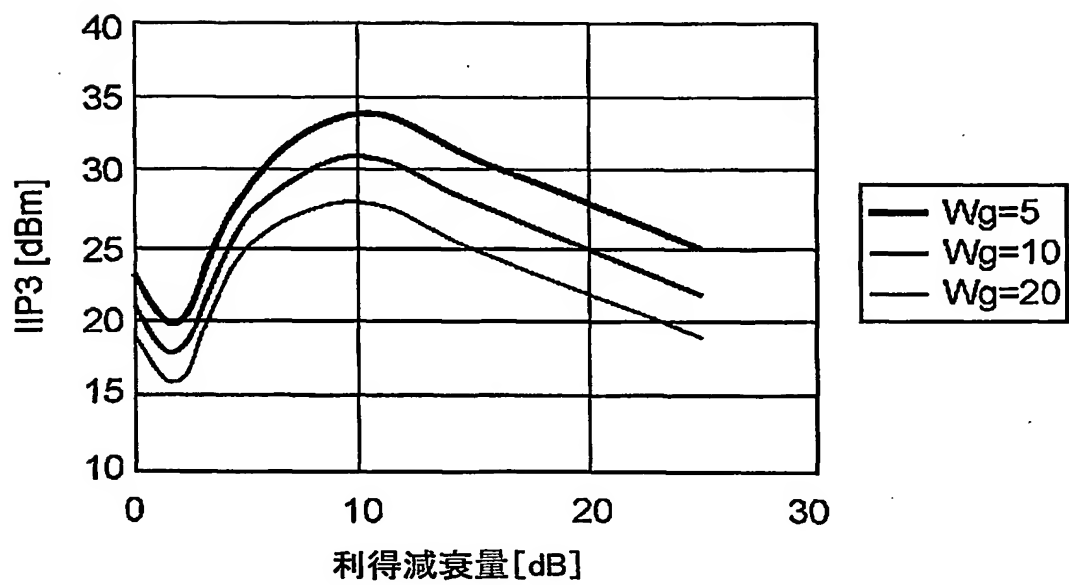


Fig.12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/11572

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03G3/10, H03F1/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03G3/10, H03F1/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 4-87406 A (NEC Corp.), 19 March, 1992 (19.03.92), Full text; Fig. 1 (Family: none)	1 2-6
Y	JP 11-234067 A (Kyocera Corp.), 27 August, 1999 (27.08.99), Full text; Figs. 1, 2 (Family: none)	1-6
Y	JP 2-308606 A (Hitachi, Ltd.), 21 December, 1990 (21.12.90), Full text; all drawings (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* "A" "E" "L" "O" "P"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance earlier document but published on or after the international filing date document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) document referring to an oral disclosure, use, exhibition or other means document published prior to the international filing date but later than the priority date claimed	"T" "X" "Y" "&"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art document member of the same patent family
--------------------------------------	---	--------------------------	--

Date of the actual completion of the international search 16 December, 2003 (16.12.03)	Date of mailing of the international search report 13 January, 2004 (13.01.04)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

PCT/JP03/11572

Form PCT/ISA/210 (continuation of second sheet) (July 1998)

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H03G3/10 H03F1/32		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H03G3/10 H03F1/32		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2003年 日本国登録実用新案公報 1994-2003年 日本国実用新案登録公報 1996-2003年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 4-87406 A (日本電気株式会社) 1992. 03. 19 全文, 第1図 (ファミリーなし)	1 2-6
Y	JP 11-234067 A (京セラ株式会社) 1999. 08. 27 全文, 図1, 図2 (ファミリーなし)	1-6
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 16. 12. 03		国際調査報告の発送日 13.01.04
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 畑中 博幸 電話番号 03-3581-1101 内線 3574

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2-308606 A (株式会社日立製作所) 1990. 12. 21 全文, 全図 (ファミリーなし)	1-6
Y	J P 2001-223549 A (ソニー株式会社) 2001. 08. 17 全文, 図1~図11 (ファミリーなし)	1-6
Y	J P 48-90653 A (アルプス電気株式会社) 1973. 11. 26 全文, 全図 (ファミリーなし)	2-5
Y	日本国実用新案登録出願53-131684号 (日本国実用新案登録出願公開55-51030号) の願書に添付した明細書及び図面 の内容を撮影したマイクロフィルム (八木アンテナ株式会社) 1980. 04. 03 第1図 (a) (ファミリーなし)	5
Y	J P 53-60546 A (株式会社日立製作所) 1978. 05. 31 全文, 第2図, 第3図 (ファミリーなし)	6
Y	J P 6-334454 A (株式会社日立製作所) 1994. 12. 02 段落 [0007] - [0013], 図1 (ファミリーなし)	6